

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-198215

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01P 3/08

H05K 1/02

H05K 3/28

(21)Application number : 2001-390325

(71)Applicant : SONY CORP

(22)Date of filing : 21.12.2001

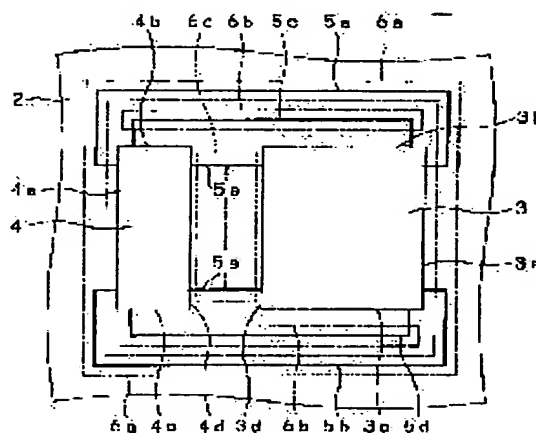
(72)Inventor : HIRABAYASHI TAKAYUKI

(54) TRANSMISSION LINE SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve signal transmission characteristics between circuit components and realize miniaturization by forming a transmission line or the line on a dielectric substrate, without forming redundant wiring.

SOLUTION: A plurality of circuit components 3, 4 are mounted on the dielectric substrate 2, and connected by using many transmission lines 5 different in length which are patterned and formed on the substrate 2. As to the transmission lines 5, a transmission line 5a whose line length is long is formed in a low-permittivity region 6a, and a transmission line 5e whose line-length is short is formed in a high permittivity region 6c, thereby adjusting the transmission rate of signals transmitted, without formation of redundant wiring to be nearly equal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-198215

(P2003-198215A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)	
H 0 1 P	3/08	H 0 1 P	3/08	5 E 3 1 4
H 0 5 K	1/02	H 0 5 K	1/02	C 5 E 3 3 8
	3/28		3/28	F 5 J 0 1 4
				B

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2001-390325(P2001-390325)

(22) 出願日 平成13年12月21日 (2001. 12. 21)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 平林 崇之

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外 2 名)

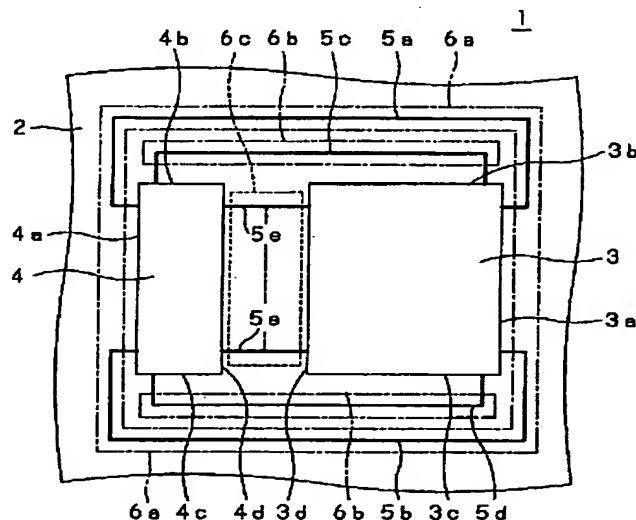
最終頁に続く

(54) 【発明の名称】 伝送線路基板

(57) 【要約】

【課題】 誘電体基板上に伝送線路等を冗長配線すること無く形成し、回路部品間における信号伝達特性の向上を図り、以って小型化を図る。

【解決手段】 誘電体基板 2 に複数の回路部品 3, 4 を実装するとともに、これらが誘電体基板 2 にパターン形成された線路長を異にする多数の伝送線路 5 によって接続されてなる。伝送線路 5 は、線路長が長い伝送線路 5 a を低誘電率領域 6 a に形成するとともに、線路長の短い伝送線路 5 e を高誘電率領域 6 c に形成することにより冗長配線を行うことなく伝送される信号の伝送速度をほぼ同等に調整する。



【特許請求の範囲】

【請求項 1】 誘電体基板の主面上に複数の回路部品を実装するとともに、これら回路部品が上記誘電体基板に線路長を異にしてパターン形成された多数の伝送線路により接続されてなり、

上記各伝送線路が、線路長が長い伝送線路を低誘電率領域に形成するとともに線路長の短い伝送線路を高誘電率領域に形成するように、それぞれの線路長に応じて誘電率を異にする領域に形成することにより、
上記各伝送線路の信号伝送速度が略同等となるように構成されたことを特徴とする伝送線路基板。

【請求項 2】 上記低誘電率領域が線路長の長い上記伝送線路を低誘電率からなる誘電絶縁材により被覆することによって構成されるとともに、上記高誘電率領域が線路長の短い上記伝送線路を高誘電率からなる誘電絶縁材により被覆することによって構成されることを特徴とする請求項 1 に記載の伝送線路基板。

【請求項 3】 上記誘電絶縁材に、有機誘電絶縁材、無機誘電絶縁材又は有機無機複合誘電絶縁材のいずれか 1 が用いられることを特徴とする請求項 2 に記載の伝送線路基板。

【請求項 4】 上記誘電体基板の内部に空洞部を形成することによって上記低誘電率領域を構成し、上記空洞部に跨って線路長の長い上記伝送線路を形成したことを特徴とする請求項 1 又は請求項 2 のいずれか 1 項に記載の伝送線路基板。

【請求項 5】 上記回路部品が高周波 CPU やメモリからなり、上記伝送線路を介してデジタル信号が伝送されることによって高速デジタル回路を構成することを特徴とする請求項 1 に記載の伝送線路基板。

【請求項 6】 上記回路部品がアンプの差動入出力部やダイポールアンテナの入出力部に接続される balan からなり、上記伝送線路を介して高周波信号が伝送されることによって高周波差動回路を構成することを特徴とする請求項 1 に記載の伝送線路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誘電体基板上に複数の回路部品を搭載するとともに、各回路部品間が誘電体基板にパターン形成された伝送線路によって接続されて信号伝送が行われる伝送線路基板に関する。

【0002】

【従来の技術】 パーソナルコンピュータやモバイル機器等においては、複数の IC 素子（集積回路素子）や LSI 素子（大規模集積回路素子）等の回路部品が誘電体基板上に搭載されるとともにこれら回路部品を接続する導体パターンからなる多数本の伝送線路が誘電体基板上に形成され、これら伝送線路を介して回路部品間の信号伝送が行われる伝送線路基板が備えられている。パーソナルコンピュータ等においては、搭載される CPU のめ

ざましい高速動作化が図られており、例えば 1GHz を超えるものも提供されるとともにさらなる高速動作化が図られている。

【0003】 伝送線路基板においては、回路素子等の高速動作化に伴い、動作エラーを起こさずに信号を高速で伝送するために伝送線路の構成が極めて重要となっている。例えば、図 5 に示した従来の伝送線路基板 100 は、誘電体基板 101 に CPU 102 とメモリ 103 とが搭載されるとともに、誘電体基板 101 上にこれら回路素子 102、103 に設けられたそれぞれの入出力部間を接続する多数本の伝送線路 104（104a～104n）がパターン形成されてなる。伝送線路基板 100 は、CPU 102 とメモリ 103 の高速動作化に伴い、伝送線路 104 による信号伝送が高周波化されるようになる。

【0004】 伝送線路基板 100 においては、CPU 102 とメモリ 103 とを接続する各伝送線路 104a～104n が、理想的には図 5 に示すように全て同一長さの等長配線を以って形成されることが好ましい。伝送線路基板 100 は、誘電体基板 101 上に搭載する CPU 102 やメモリ 103 が、図 5 に示すようにそれぞれの入出力部が対向しかつ同一間隔であるならば各伝送線路 104a～104n を同一線路長で形成することが可能である。

【0005】 しかしながら、伝送線路基板 100 は、CPU 102 やメモリ 103 が、その外周部全てに入出力部が形成されることから、実際には各伝送線路 104a～104n が配線長を異にして誘電体基板 101 に形成されることになる。伝送線路基板 100 においては、各伝送線路 104a～104n が配線長を異にして形成されている場合に、それぞれに伝送される信号の伝送時間に差が生じてしまう。伝送線路基板 100 は、このためにタイミングのズレによる処理の誤動作や、いわゆる「ヒゲ」や「グラス」と称されるノイズ分を発生させるといった問題があった。

【0006】 また、図 6 に示した従来の伝送線路基板 110 は、誘電体基板 111 に高周波回路素子 112 と balan 113 とが搭載され、これら回路部品に設けられた入出力部間を接続する平衡線路 114（114a、114b）がパターン形成された高周波回路基板である。高周波回路基板 110 は、balan 113 が、高周波回路素子 112 からの平衡（差動）入出力信号について差動の各信号の位相を π シフトして合成する。

【0007】

【発明が解決しようとする課題】 伝送線路基板や高周波回路基板においては、上述した配線長を異にする伝送線路や平衡線路に起因する問題点を解決するために種々の検討が図られている。例えば図 7 に示した伝送線路基板 120 は、上述した伝送線路基板 100 と同様に誘電体基板 121 に CPU 122 とメモリ 123 とが搭載され

るとともに、誘電体基板 121 にこれら回路部品 122、123 の相対する入出力部間を接続する多数本の伝送線路 124 (124a~124n) がパターン形成されてなる。伝送線路基板 120 においては、各伝送線路 124a~124n がそれぞれの線路長をほぼ同一に形成されてなる。

【0008】すなわち、伝送線路基板 120 においては、CPU 122 やメモリ 123 の各辺に入出力部が設けられており、例えばそれぞれの外側の対向辺 122a、123a の入出力部間の直線距離が最大であり、次に上下辺 122b、123b の入出力部間の直線距離が大きく、内側の対向辺 122c、123c の入出力部間の直線距離が最小となる。伝送線路基板 120 においては、CPU 122 の辺 122a に設けた入出力部とメモリ 123 の辺 123a に設けた入出力部間とを接続する第 1 の伝送線路 124a を基準として、上下辺 122b、123b の入出力部間を接続する第 2 の伝送線路 124b や対向辺 122c、123c の入出力部間を接続する第 3 の伝送線路 124c がそれぞれの線路長を一致されるように誘電体基板 121 にパターン形成されてなる。

【0009】すなわち、第 2 の伝送線路 124b には、その一部に屈折部位 125a を形成することによって、その線路長が第 1 の伝送線路 124a の線路長とほぼ同長とされてなる。また、第 3 の伝送線路 124c は、多数の折返し部位 125b を形成したいわゆるミアンダパターンとされることによって、その線路長が第 1 の伝送線路 124a や第 2 の伝送線路 124b とほぼ同長とされてなる。

【0010】一方、上述した高周波回路基板 110 においても、高周波回路素子 112 とバラン 113 との直線距離が短い第 1 の平衡線路 114a について、図 6 鎖線で示すようにその一部に折返し部位 116 を形成することにより第 2 の平衡線路 114b とほぼ等しい線路長に形成する対応が図られる。

【0011】しかしながら、かかる伝送線路基板 120 や高周波回路基板 110 は、直線距離の短い伝送線路 124b、124c や平衡線路 114a にわざわざ屈折部位 125a、125b や折返し部位 116 を形成して等長配線化を図ることから、線路長が大きくなっていわゆる冗長配線構造となる。伝送線路基板等においては、配線の高密度化による小型化が追求されており、上述した冗長配線構造の採用は実用的では無い。また、伝送線路基板等においては、伝送線路の線路長が大きくなることによってインピーダンス成分が増加し高周波信号の伝送効率が劣化するという問題があるばかりでなく、電磁ノイズを放射したり受けたりしやすくなるため電磁整合特性 (EMC:electromagnetic compatibility) や電磁妨害雑音特性 (EMI:electromagnetic interference) が劣化するという問題がある。

【0012】また、かかる高周波回路基板 110 においては、各平衡線路 114a、114b が線路長を異にして形成されていると、それぞれに伝送される高周波信号の位相シフトが π からずれてしまう。このため、高周波回路基板 110 は、変換後の高周波信号のロスが大きくなるといった問題がある。

【0013】伝送線路基板 120 等においては、回路部品や回路素子等の多機能化、高機能化が図られることにより入出力端子の数も多くかつ高密度に設けられている。したがって、伝送線路基板 120 等においては、上述した対応を図ることが極めて困難であるとともに冗長配線も複雑かつより長くなり、大型化或いは特性劣化等の問題がさらに大きい。

【0014】したがって、本発明は、誘電体基板上に伝送線路等を冗長配線すること無く形成し、回路部品間における信号伝達特性の向上を図り、以って小型化を図った伝送線路基板を提供することを目的に提案されたものである。

【0015】

【課題を解決するための手段】上述した目的を達成する本発明にかかる伝送線路基板は、誘電体基板に複数の回路部品を実装するとともに、これら回路部品が誘電体基板にパターン形成された線路長を異にする多数の伝送線路によって接続されてなる。伝送線路基板は、各伝送線路が、線路長が長い伝送線路を低誘電率領域に形成するとともに、線路長の短い伝送線路を高誘電率領域に形成するように、それぞれの線路長に応じて誘電率を異にする領域に形成されてなる。

【0016】以上のように構成された本発明にかかる伝送線路基板によれば、誘電体基板に形成された伝送線路が誘電体基板の誘電率が大きくなるにしたがって伝送線路を伝送する信号の伝送速度が遅くなる特性を有することから、低誘電率領域に形成された線路長が長い伝送線路の信号伝送速度と高誘電率領域に形成された線路長の短い伝送線路の信号伝送速度とがそれぞれ略同等となる。したがって、伝送線路基板によれば、誘電体基板上に伝送線路を冗長配線することなく自由に形成することが可能となり、小型化が図られるとともに信号伝達特性の向上が図られるようになる。

【0017】

【発明の実施の形態】以下、図面に示した本発明の実施の形態について詳細について説明する。第 1 の実施の形態として図 1 及び図 2 に示した伝送線路基板 1 は、例えばモバイル機器等の無線通信機能を備える通信端末機器に搭載される。伝送線路基板 1 は、誘電体基板 2 に形成された図示しないランド上に入出力端子をそれぞれ接続されて CPU 3 やメモリ 4 とが搭載されるとともに、これら CPU 3 やメモリ 4 の相対する入出力部間を接続する多数本の伝送線路 5 がパターン形成されてなる。伝送線路基板 1 は、高速動作化が図られた CPU 3 とメモリ

4との間で、伝送線路5を介して高周波信号が高速伝送されて所定の処理が行われるようにする。なお、伝送線路基板1には、図示しないが誘電体基板2の主面上にCPU3やメモリ4ばかりでなく適宜の回路素子も実装されるとともに素子パターン等も形成されている。

【0018】CPU3やメモリ4は、詳細を省略するがそれぞれの各辺3a~3d、4a~4dに入出力部が設けられており、相対する入出力端子間を伝送線路5によって接続されている。CPU3とメモリ4は、外側の対向辺3a、4aの入出力部間の直線距離が最大であり、線路長が最大となる第1の伝送線路5a及び第2の伝送線路5bによって接続される。CPU3とメモリ4は、上下辺3b、3cと上下辺4b、4cの入出力部間の直線距離がやや短く、それぞれ第3の伝送線路5c及び第4の伝送線路5dによって接続される。CPU3とメモリ4は、内側の対向辺3d、4dの入出力部間の直線距離が最小であり、線路長が最小となる第6の伝送線路5eによって接続される。

【0019】勿論、CPU3やメモリ4は、各辺3a~3d、4a~4dに多数個の入出力端子が形成されており、各辺3a~3d、4a~4dの入出力部を接続する伝送線路5a~5eが多数本からなる。伝送線路5a~5eは、詳細には各辺3a~3d、4a~4dの同一辺間の入出力部間を接続する伝送線路であってもそれぞれの線路長を異にしているが、説明の便宜上略同長とみなすものとする。

【0020】誘電体基板2は、低誘電率で低Tanδの特性、すなわち高周波特性に優れた誘電絶縁材によって所定の厚みを有して形成されている。誘電体基板2は、具体例として例えばポリフェニレンエーテル(PPE)、ビスマレイドトリアジン(BT-resin)、ポリテトラフルオロエチレン(商標名テフロン)、ポリイミド、液晶ポリマ(LCP)、ポリノルボルネン(PNB)、ポリオレフィン樹脂、フェノール樹脂等の樹脂材からなる有機基材によって形成される。また、誘電体基板2は、例えばセラミック等の無機基材或いは無機基材とガラスエポキシ等の有機基材との混合体によって形成される。

【0021】誘電体基板2には、従来一般に行われているパターン形成法により、各伝送線路5や多数個のランド或いはスルーホール形成が行われる。誘電体基板2は、必要に応じて内層に配線パターンやグランドパターン等を形成した多層構造によって構成してもよく、また両面基板で構成してもよいことは勿論である。誘電体基板2は、全面に銅箔等が接合されたベース基材にドリルやレーザによる穿孔加工を施して多数個の貫通孔が形成され、この貫通孔の内壁にメッキ等により導通処理を施した後に導電ペーストを埋め込みかつメッキ等により蓋形成を行ってスルーホールが形成される。誘電体基板2は、銅箔層に対してフォトリソグラフィ処理を施した後

に湿式エッチング処理を施して不要な銅箔を除去することによりパターニングが行われる。勿論、誘電体基板2は、その他適宜な方法によって各伝送線路5等のパターニングが行われる。

【0022】伝送線路基板1においては、詳細を後述するように上述した各伝送線路5が、誘電体基板2に対してそれぞれ誘電率εを異にした第1のパターン形成領域6a乃至第3のパターン形成領域6cにパターン形成されている。伝送線路基板1においては、第1のパターン形成領域6a(図1において1点鎖線で囲んだ領域)の誘電率ε1が第2のパターン形成領域6b(同図において2点鎖線で囲んだ領域)の誘電率ε2よりも小さく、第2のパターン形成領域6bの誘電率ε2が第3のパターン形成領域6c(同図において点線で囲んだ領域)の誘電率ε3よりも小さく構成されている。

【0023】ところで、伝送線路5を伝播する正弦波の位相速度vpは、

$$v_p = 2\pi f / k_z \cdots \text{式1}$$

但し、kz:位相定数(伝播定数の虚数項)、f:周波数で表される。

【0024】正弦波について、真空中を伝播する位相速度vp0、位相定数をkz0とし、波長をλ0とすると、式1から

$$v_{p0} = 2\pi f / k_{z0} = f \lambda_0 \cdots \text{式2}$$

となる。

【0025】位相定数kzは、伝送線路が、誘電率εrの誘電体基板上にマイクロストリップ線路で形成されている場合に、

$$k_z = \sqrt{\epsilon_w} \times k_{z0} \cdots \text{式3}$$

となる。

【0026】ここで、εwは、実効誘電率であり、マイクロストリップ線路が形成される誘電体基板と空気との電界分布により決まる充填率qを用いると、

$$\epsilon_w = 1 + q(\epsilon_r - 1) \cdots \text{式4}$$

で表される。ストリップ線路は、電界が全て誘電体に存在し、q=1であるから、式4よりεw=εrとなる。

【0027】誘電率εrの誘電体基板上にマイクロストリップ線路で形成された伝送線路の位相速度vpは、式1乃至式4から、

$$v_p = 2\pi f / k_z = f \lambda$$

$$v_p = 2\pi f / (\sqrt{\epsilon_w} \times k_{z0}) = f \lambda$$

$$v_p = v_{p0} / \sqrt{\epsilon_w} = f \lambda_0 / \sqrt{\epsilon_w} \cdots \text{式5}$$

となる。

【0028】したがって、誘電体基板上に形成された伝送線路は、式5から明らかなように誘電率が大きくなるにしたがって、信号の伝播速度が次第に遅くなる特性を有している。伝送線路基板1においては、伝送線路5を介してCPU3とメモリ4との間を伝送される信号が当然デジタル変調信号であるが、様々な高周波正弦波の集合体からなる電気信号と見なすことができる。

【0029】伝送線路基板 1 においては、上述したように線路長が最大の第 1 の伝送線路 5 a と第 2 の伝送線路 5 b とが低誘電率 ϵ 1 の第 1 のパターン形成領域 6 a に形成され、第 3 の伝送線路 5 c と第 4 の伝送線路 5 d とが中誘電率 ϵ 2 の第 2 のパターン形成領域 6 b に形成され、さらに線路長が最小となる第 6 の伝送線路 5 e が高誘電率 ϵ 3 の第 3 のパターン形成領域 6 c に形成されている。伝送線路基板 1 においては、かかる構成によって CPU 3 とメモリ 4 間を接続する各伝送線路 5 がそれぞれ線路長を異にしているが、誘電率 ϵ を異にした各パターン形成領域に形成されることによって伝送される高周波信号の伝送速度が調整されてあたかも擬似的に等長の伝送線路を構成する。

【0030】したがって、伝送線路基板 1 においては、各伝送線路 5 を伝送される高周波信号の伝送時間差が抑制され、タイミングのズレによる処理の誤動作や、いわゆる「ヒゲ」や「グラス」と称されるノイズ分の発生が抑制されて精度の向上が図られる。また、伝送線路基板 1 においては、CPU 3 とメモリ 4 間を接続する各伝送線路 5 が最短で形成されることから、誘電基板 2 の小型化が図られるとともに各伝送線路 5 のパターンの簡易化或いは高密度化を図ることが可能となる。さらに、伝送線路基板 1 においては、各伝送線路 5 の短縮化により、電磁ノイズの放射や吸収も低減され、電磁整合特性や電磁妨害雑音特性の向上が図られるようになる。

【0031】伝送線路基板 1 0 においては、上述した伝送線路の線路長と誘電体基板の誘電率とに基づいて、各伝送線路 5 の線路長とパターン形成領域 6 の誘電率とをファクタとしてシミュレーションを行って最適となるようにパターン形成領域 6 の誘電率が設定される。勿論、伝送線路基板 1 0 においては、全ての各伝送線路 5 について、伝送速度が同一となるようにパターン形成領域 6 の誘電率を精密に決定する必要は無く、ある程度の許容範囲でグループ化等することによってパターン形成領域 6 を形成するようにしてもよい。

【0032】伝送線路基板 1 は、上述した第 1 のパターン形成領域 6 a 乃至第 3 のパターン形成領域 6 c が種々の方法によって形成される。例えば図 2 に示した伝送線路基板 1 0 は、誘電体基板 1 1 の主面上にそれぞれ線路長を異にして複数組の伝送線路 1 2 ～ 1 5 がパターン形成される。伝送線路基板 1 0 は、第 1 の伝送線路 1 2 の線路長が最大であり、第 2 の伝送線路 1 3 から第 4 の伝送線路 1 5 にしたがってそれぞれの線路長が次第に短くなっている。第 1 の伝送線路 1 2 乃至第 5 の伝送線路 1 5 は、同図に示すようにそれぞれ第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 によって被覆されている。

【0033】第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 は、それぞれ誘電率 ϵ を異にする誘電絶縁材によって形成される。誘電絶縁層は、第 1 の誘電絶縁層 1 6 が第 2 の誘電絶縁層 1 7 よりも低誘電率の誘電絶縁材に

よって形成され、第 2 の誘電絶縁層 1 7 が第 3 の誘電絶縁層 1 8 よりも低誘電率の誘電絶縁材によって形成され、第 3 の誘電絶縁層 1 8 が第 4 の誘電絶縁層 1 9 よりも低誘電率の誘電絶縁材によって形成されている。第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 は、それぞれの誘電率 ϵ が各伝送線路 1 2 ～ 1 5 の線路長の差異による高周波信号の伝送時間の差を補正するように規定されてなる。

【0034】伝送線路基板 1 0 においては、図 2 に示すように誘電体基板 1 1 の内層に空洞部 2 0 を形成することにより誘電率 ϵ を異にしたパターン形成領域を構成するようにしてもよい。伝送線路基板 1 0 は、パターン形成領域が空洞部 2 0 によって低誘電率領域となり、この空洞部 2 0 に跨って形成された線路長が大きな伝送線路 1 6 を伝送される高周波信号の伝送速度が他のパターン形成領域に形成された伝送線路 1 7 ～ 1 9 を伝送される高周波信号の伝送速度よりも速くなる。

【0035】上述した第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 は、例えば図 3 に示すように誘電体基板 1 1 上に各伝送線路 1 2 ～ 1 5 をパターン形成した後、全面に亘って誘電絶縁材が塗布されて誘電絶縁層 2 1 が成膜形成される。誘電絶縁層 2 1 は、第 3 の伝送線路 1 4 を被覆する第 3 の誘電絶縁層 1 8 を形成する例えば感光性の誘電絶縁材からなる。誘電絶縁層 2 1 には、同図 (A) に示すように第 3 の伝送線路 1 4 の形成領域に対向して遮光マスク 2 2 が配置され、露光・現像処理が施される。誘電絶縁層 2 1 は、同図 (B) に示すように露光部位が除去されるとともに未露光部位が残されて第 3 の伝送線路 1 4 を被覆する第 3 の誘電絶縁層 1 8 を形成する。伝送線路基板 1 0 は、以下同様の方法によって誘電率 ϵ を異にする誘電絶縁材を用いて各伝送線路 1 2 ～ 1 5 を被覆する第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 が形成される。

【0036】なお、誘電絶縁層 2 1 については、上述した感光性の誘電絶縁材ばかりでなく他の材料、例えばレジスト材が用いられ、所定領域をマスキングした状態でエッチング法によって不要部位を除去して各伝送線路 1 2 ～ 1 5 を被覆する第 1 の誘電絶縁層 1 6 乃至第 5 の誘電絶縁層 1 9 を形成するようにしてもよい。また、各マスキング誘電絶縁層 1 6 ～ 1 9 は、例えばシルクスクリーン印刷法等によって形成することも可能である。

【0037】伝送線路基板 1 は、上述したように誘電体基板 2 に各伝送線路 5 をパターン形成したが、例えば銅張り有機基板からなり配線層が多層形成されるとともに最上層に平坦化処理を施してなるベース基板部と、このベース基板部上に積層形成された高周波回路部とからなる通信モジュール基板に内蔵するようにしてもよい。通信モジュール基板は、ベース基板部に電源回路や制御回路が形成されるとともに、高周波回路部に BPF 回路や高周波信号回路或いは処理回路が形成されている。

【0038】通信モジュール基板は、ベース基板部に電源回路やグランドが十分な面積を以って形成することが可能であり各回路部に対してレギュレーションの高い電源供給を行うことが可能である。また、通信モジュール基板は、ベース基板部と高周波回路部との電気的分離が図られて相互の干渉の発生が抑制された構成であることから、特性の向上が図られている。通信モジュール基板は、比較的廉価な有機基板をベースとしてその最上層に平坦化処理を施した状態で絶縁誘電体層が積層形成される。通信モジュール基板は、絶縁誘電体層に薄膜技術により適宜の伝送線路やインダクタ素子、キャパシタ素子或いはレジスタ素子等の受動態素子が成膜形成される。したがって、通信モジュール基板には、各伝送線路を高精度にかつ高密度化して形成することが可能となる。

【0039】第2の実施の形態として図4に示した高周波回路基板30は、誘電体基板31に高周波回路素子32とバラン33とが搭載され、これら高周波回路素子32とバラン33とにそれぞれ設けられた入出力部間を接続する第1の平衡線路34と第2の平衡線路35とがパターン形成されてなる。高周波回路基板30は、バラン33が、高周波回路素子32からの平衡（差動）入出力信号について差動の各信号の位相を π シフトして合成する。

【0040】高周波回路基板30は、誘電体基板31が上述した伝送線路基板1の誘電体基板2と同様の誘電絶縁材によって所定の厚みを有して形成されている。高周波回路基板30は、第1の平衡線路34が第2の平衡線路35に対して短い線路長を以って形成されている。高周波回路基板30は、第1の平衡線路34と第2の平衡線路35とが、誘電体基板31に対してそれぞれ誘電率 ϵ を異にした第1のパターン形成領域37（図4において1点鎖線で囲んだ領域）と第2のパターン形成領域38（同図において2点鎖線で囲んだ領域）にパターン形成されている。高周波回路基板30においては、第1のパターン形成領域37の誘電率 ϵ が第2のパターン形成領域38の誘電率 ϵ よりも大きく構成されている。

【0041】なお、高周波回路基板30は、誘電体基板31上に複数個の高周波回路素子32とバラン33とを実装し、それぞれ異なる線路長を有する平衡線路で接続される場合にも適用される。また、高周波回路素子32については、ダイポールアンテナとすることも可能である。

【0042】以上のように構成された高周波回路基板30においては、上述した伝送線路の線路長と誘電体基板の誘電率とによる伝送速度特性によって、第1の平衡線路34と第2の平衡線路35とを伝送される高周波信号の伝送速度が調整されてあたかも擬似的に等長の伝送線路を構成する。したがって、高周波回路基板30においては、高周波信号の位相シフトが π からずれるといった

不都合の発生が抑制されるとともに、変換後の高周波信号のロスも無く特性の向上が図られるようになる。また、高周波回路基板30においては、第1の平衡線路34の冗長配線による誘電体基板31の大型化も抑制されることで、小型化が図られるとともに各平衡線路34、35のパターンの簡易化或いは高密度化を図ることが可能となる。さらに、高周波回路基板30においては、各平衡線路34、35の短縮化によって電磁ノイズの放射や吸収も低減され、電磁整合特性や電磁妨害雑音特性の向上が図られるようになる。

【0043】

【発明の効果】以上詳細に説明したように本発明にかかる伝送線路基板によれば、線路長が長い伝送線路を低誘電率領域に形成するとともに線路長の短い伝送線路を高誘電率領域に形成することによってこれら伝送線路を伝送される信号の伝送速度がほぼ同等に調整されるようになることから、誘電体基板上に伝送線路を冗長配線することなく自由な配線パターンを以って高密度に形成することが可能となり、小型化が図られるとともに電磁整合特性や電磁妨害雑音特性の向上或いはインダクタンス成分の低減により信号伝達特性の向上が図られるようになる。

【図面の簡単な説明】

【図1】本発明の実施の形態として示す伝送線路基板の要部平面図である。

【図2】伝送線路基板に形成される伝送線路の構成を説明する要部縦断面図である。

【図3】同伝送線路を被覆する誘電絶縁層の形成工程の説明図である。

【図4】バランを有する高周波回路基板の要部平面図である。

【図5】従来の伝送線路基板の要部平面図である。

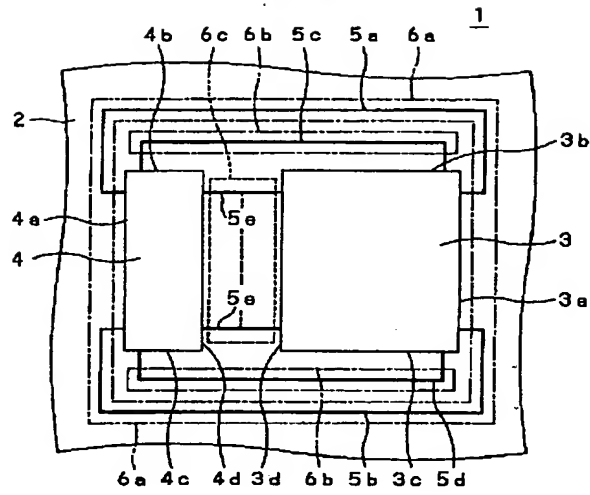
【図6】従来の高周波回路基板の要部平面図である。

【図7】冗長配線化により信号伝送速度の調整を図った伝送線路基板の要部平面図である。

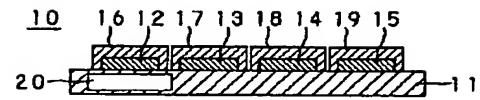
【符号の説明】

1 伝送線路基板、2 誘電体基板、3 CPU、4 メモリ、5 伝送線路、6 パターン形成領域、10 伝送線路基板、11 誘電体基板、12 第1の伝送線路、13 第2の伝送線路、14 第3の伝送線路、15 第4の伝送線路、16 第1の誘電絶縁層、17 第2の誘電絶縁層、18 第3の誘電絶縁層、19 第4の誘電絶縁層、20 空洞部、21 誘電絶縁層、22 マスク、30 高周波回路基板、31 誘電体基板、32 高周波回路素子、33 バラン、34 第1の平衡線路、35 第2の平衡線路、36 入出力端子、37 第1のパターン形成領域、38 第2のパターン形成領域

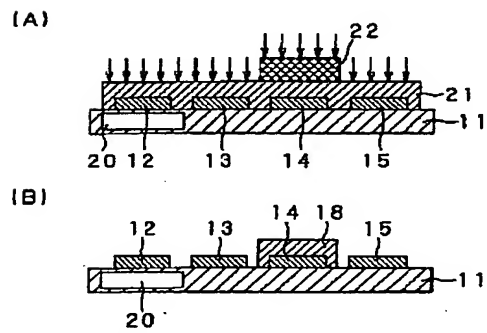
【図 1】



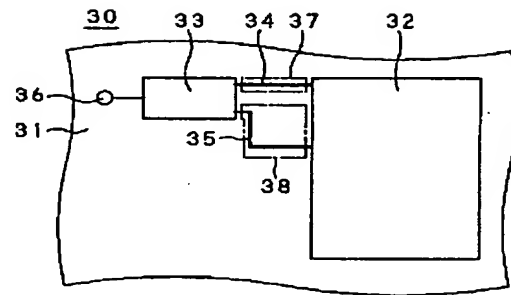
【図 2】



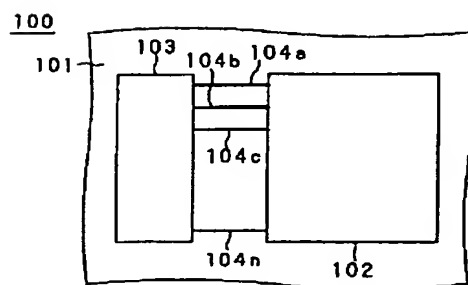
【図 3】



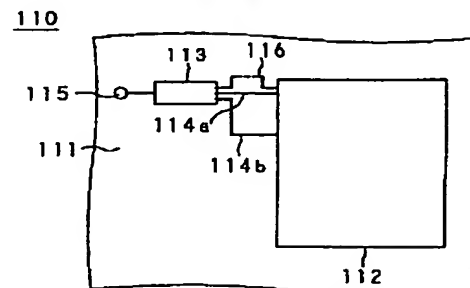
【図 4】



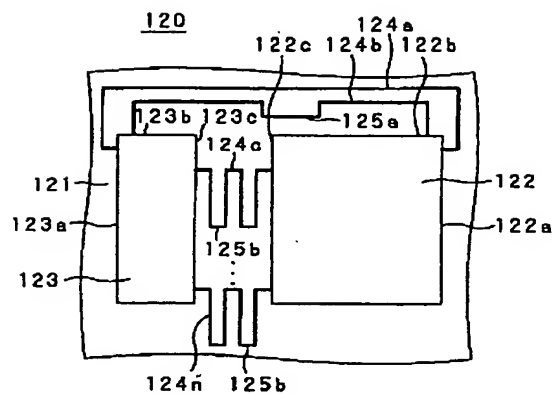
【図 5】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 5E314 AA24 AA31 AA32 BB06 BB11
 CC01 CC07 DD07 FF05 FF16
 GG26
 5E338 AA16 BB63 BB80 CC01 CD12
 EE11
 5J014 CA06 CA07